

S PN=JP 8250685

S4 1 PN=JP 8250685

?

T S4/9/1

4/9/1

DIALOG(R)File 351:Derwent WPI

(c) 2006 The Thomson Corporation. All rts. reserv.

0007860634 - Drawing available

WPI ACC NO: 1996-491163/

XRPX Acc No: N1996-414058

Programmable gate array e.g. FPGA - carries out loading of contents of selected memory into common logic realization resource

Patent Assignee: NIPPON TELEGRAPH & TELEPHONE CORP (NITE)

Inventor: ISHII K; MIYAZAKI T; TSUTSUI A

Patent Family (2 patents, 1 countries)

Patent Application

Number	Kind	Date	Number	Kind	Date	Update
JP 8250685	A	19960927	JP 199548869	A	19950308	199649 B
JP 3351452	B2	20021125	JP 199548869	A	19950308	200301 E

Priority Applications (no., kind, date): JP 199548869 A 19950308

Patent Details

Number	Kind	Lan	Pg	Dwg	Filing	Notes
JP 8250685	A	JA	9	10		
JP 3351452	B2	JA	9		Previously issued patent	JP 08250685

Alerting Abstract JP A

The array uses a common logic realization resource (3-3) to realise a circuit composition. A memory plane (3-1) is stored with three different kinds of circuit composition realising programs stored in three independent memory blocks. A register plane (3-2) includes data which defines 5 independent settings for a register.

A combination of the three circuit realization programs with the 5 register settings is obtained. The five different register settings are independently stored into 5 different registers of the register plane. The memory block and register specified by the combination are selected. Contents of selected memory is loaded into the common logic realization resource. The selected register forms a part of an event management part (3-8).

ADVANTAGE - Accommodates large scale logic circuit in one chip itself, effectively. Provides for time independent processing. Enables dynamic variation of logic circuit realization process. Guarantees raised throughput. Raises speed of processing.

Title Terms /Index Terms/Additional Words: PROGRAM; GATE; ARRAY; CARRY; LOAD ; CONTENT; SELECT; MEMORY; COMMON; LOGIC; RESOURCE

Class Codes

International Classification (Main): H01L-027/118

(Additional/Secondary): H03K-019/173

File Segment: EPI;

DWPI Class: U13; U21

Manual Codes (EPI/S-X): U13-C04C; U21-C01E

Original Publication Data by Authority

Japan

Publication No. JP 8250685 A (Update 199649 B)

Publication Date: 19960927

****PROGRAMMABLE GATE ARRAY****

Assignee: NIPPON TELEGR TELEPH CORP <NTT> (NITE)

Inventor: ISHII KENJI

TSUTSUI AKIHIRO

MIYAZAKI TOSHIAKI

Language: JA (9 pages, 10 drawings)

Application: JP 199548869 A 19950308 (Local application)

Original IPC: H01L-27/118(A) H03K-19/173(B)

Current IPC: H01L-27/118(A) H03K-19/173(B)

Publication No. JP 3351452 B2 (Update 200301 E)

Publication Date: 20021125

Language: JA (9 pages)

Application: JP 199548869 A 19950308 (Local application)

Related Publication: JP 08250685 A (Previously issued patent)

Original IPC: H01L-27/118(A)

Current IPC: H01L-27/118(A)

?

S PN=JP 2130023

S1 1 PN=JP 2130023

?

T S1/9/1

1/9/1

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

03154523 **Image available**

MULTIFUNCTION PROGRAMMABLE LOGIC DEVICE

PUB. NO.: 02-130023 [JP 2130023 A]

PUBLISHED: May 18, 1990 (19900518)

INVENTOR(s): YOSHIMI MASAHISA

IKEZAWA TOSHI

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 63-284268 [JP 88284268]

FILED: November 10, 1988 (19881110)

INTL CLASS: [5] H03K-019/177; H01L-021/82

JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits); 42.2 (ELECTRONICS --
Solid State Components)

JOURNAL: Section: E, Section No. 961, Vol. 14, No. 365, Pg. 42, August
08, 1990 (19900808)

ABSTRACT

PURPOSE: To change the logic of an inner part in real time by providing a programmable logical array with N (arbitrary integer) switches and a selection circuit to control a switch setting ROM so as to output one of M kinds of word signals.

CONSTITUTION: The selection circuit 40 controls the switch setting ROM 30 so as to output one word signal corresponding to desired logic among M kinds of the word signals. The switch setting ROM 30 outputs each of N bits of one designated word signal to the corresponding switch in the programmable logical array 10. Accordingly, the ON/OFF state of each switch is set, and the logic between input and output is set. Thus, the logic between the input and the output can be set in the real time.

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-250685

(43) 公開日 平成8年(1996)9月27日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/118			H 0 1 L 21/82	M
H 0 3 K 19/173	1 0 1	9199-5K	H 0 3 K 19/173	1 0 1

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願平7-48869

(22) 出願日 平成7年(1995)3月8日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 石井 健司

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72) 発明者 筒井 章博

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72) 発明者 宮崎 敏明

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

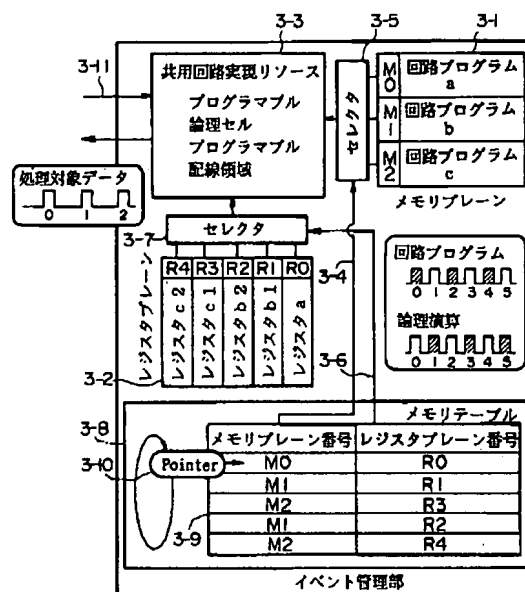
(74) 代理人 弁理士 志賀 正武

(54) 【発明の名称】 プログラマブルゲートアレイ

(57) 【要約】

【目的】 大規模な論理回路を1チップに効率良く収容することが可能なプログラマブルゲートアレイを提供する。

【構成】 回路を実現する共用論理実現リソース3-3と、3種類の回路プログラムを保存する3個の独立なプログラム用メモリから構成されるメモリプレーン3-1と、演算結果の保存および順序回路の実現のためのラッチを与える5セットの独立なレジスタから構成されるレジスタプレーン3-2と、3個のプログラム用メモリと5セットのレジスタの組み合わせを管理し、該組み合わせで指定されるメモリとレジスタを選択して、メモリの内容を共用論理実現リソース3-3にロードするとともに、レジスタをラッチとして割りあてるよう制御するイベント管理部3-8とを具備する。



【特許請求の範囲】

【請求項1】 回路を実現する論理実現用リソースと、
m種類の回路プログラムを保存するm個の独立なプログラ
ム用メモリから構成されるメモリアレイと、演算結
果の保存および順序回路の実現のためのラッチを与える
nセットの独立なレジスタから構成されるレジスタブレ
ーンと、前記m個のプログラム用メモリと前記nセット
のレジスタの組み合わせを管理し、該組み合わせで指定
されるメモリとレジスタを選択して、前記メモリの内容
を前記論理実現用リソースにロードするとともに、前記
レジスタをラッチとして割りあてよう制御するイベント
管理部とを具備することを特徴とするプログラマブルゲ
ートアレイ。

【請求項2】 前記イベント管理部が、前記メモリアレ
ーンと前記レジスタブレードとをそれぞれ独立に制御可
能とする機構を備えたことを特徴とする請求項1記載の
プログラマブルゲートアレイ。

【請求項3】 処理対象データの入力クロックをk倍に
てい倍して、内部クロックとする手段を有することを特
徴とする請求項1または2記載のプログラマブルゲート
アレイ。

【請求項4】 前記イベント管理部は、内部クロックの
うち、前記処理対象データの入力タイミングとは異なる
タイミングのクロックタイミングで、前記メモリの内容
を前記論理実現用リソースにロードする構成であることを
特徴とする請求項3記載のプログラマブルゲートアレ
イ。

【請求項5】 デバイス製造時に作り込む回路あるいは
マスクプログラマブルゲートアレイのプログラムで実現
する回路等で構成される固定回路領域と、FPGA(Field Programmable Gate Array)等の静的に論理回路を実
現する機構を有するプログラマブルゲートアレイ領域
と、動的な論理回路の変更機構を有する請求項1ないし
4記載のプログラマブルゲートアレイとを組み合わせた
構成であることを特徴とするプログラマブルゲートアレ
イ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、プログラマブル論理素
子の構成に関するものである。

【0002】

【従来の技術】図9は、プログラマブル論理素子の構成
を示す図である。この図に示すように、プログラマブル
論理素子は、プログラマブル論理セル1-1とプログラ
マブル配線領域1-2とにより構成されている。プログラ
マブル論理素子の機能は、プログラマブル論理セル1
-1に論理をプログラムし、プログラマブル配線領域1
-2の配線がプログラマブル論理セル間を結線して形成
される論理回路により実現される。以降、この論理回路
を形成する一連の作業を回路プログラミング、プログラ

マブル論理セル1-1に設定される論理およびプログラ
マブル配線領域1-2の設定データを回路プログラマブル
と呼ぶ。また、このようなプログラマブル論理素子と
して書き換えが可能なFPGA(Field Programmable Ga
te Array)があり、実用化されている。

【0003】次に、図10は上記プログラマブル論理セル
1-1の構成を示すブロック図である。この図におい
て、プログラマブル論理セル1-1はプログラマブル論
理回路2-1とラッチ2-2とにより構成されている。
論理はプログラマブル論理回路2-1において演算さ
れ、その結果や回路の遷移状態はラッチ2-2により保
存されて、次のクロックにおける処理を決定する。すな
わち、任意の組み合わせ回路はプログラマブル論理回路
2-1によって、また、任意の順序回路はプログラマブル
論理回路2-1とラッチ2-2の組み合わせによって
実現される。また、プログラマブル論理回路2-1にお
ける論理演算の内容は、回路プログラムにより決定され
る。

【0004】プログラマブル論理セル1-1中のプログラ
マブル論理回路2-1やプログラマブル配線領域1-
2中の配線間接続スイッチ等、プログラマブル論理素子
中のプログラム可能な全てのポイントには、その接続状
態を保持するためのメモリ素子が割り当てられており、
このメモリ素子に所定のデータを設定することにより論
理回路の機能を実現する。すなわち、回路プログラミング
とは、このメモリ素子にデータを書き込む作業であ
り、回路プログラムとはメモリ素子の書き込み状態を1
回路分セットで記述したものである。以降、この論理回
路決定用のメモリ素子をプログラム用メモリと呼ぶ。ま
た、プログラムの対象となるハードウェア全体を回路実
現用リソースと呼ぶ。

【0005】次に、FPGAにおける回路プログラミング
のタイミングと論理回路の再プログラミングについて
説明する。プログラムされた論理回路は機能が実現され
ると固定されるため、回路プログラミングは処理実行前
に静的に行われる。そして、新たな機能の実現あるいは
機能の変更等により論理回路の再プログラミングを行う
場合、この再プログラミングは論理回路の処理動作を完
全に停止させてから行われ、処理の途中で動的に論理回
路が変更されることはない。一方、論理回路の動作中
でも再プログラミングを可能とするFPGAも存在する
が、論理回路のプログラミング速度は通常のFPGAと
同様に低速であり、機能の実現に寄与していない余剰の
プログラマブル論理セルおよびプログラマブル配線によ
って動作中の論理回路とは別個の論理回路を静的に実現
するに留まっており、次々と論理回路が動的に変化する
性質のものではない。

【0006】

【発明が解決しようとする課題】ところで、フィールド
において論理機能をプログラム可能なFPGAは、あら

ゆる種類の論理回路が実現できるように、プログラマブル論理セルおよびプログラマブル配線共に、図9に示したような様な繰り返し構造となっている。そのため、実際に論理回路を実現し、その論理回路を固定して処理を行う場合は、機能実現に供しない未使用のプログラマブル論理セルやプログラマブル配線等の論理実現用リソースが多量に残存することになる。また、プログラミング機構やプログラム用メモリ等、フィールドでのプログラマビリティを実現するために内在する構造的な冗長性のため、FPGAの単体チップに収容可能な論理回路の規模は、プログラマビリティの無いカスタムLSIやASIC (application specific integrated circuit) 等と比較すると著しく制限されたものとなる。

【0007】このようなFPGAチップを用いて大規模な論理回路を実現する場合、単体のFPGAチップにおいて論理実現用リソースを単純に拡大することが製造上の困難を伴うため、多数のFPGAチップを組み合わせた論理回路の実現が図られる。この場合、FPGAチップ間の配線は、FPGAチップの内部配線に比べて信号の遅延が大きいため、接続が密な部分を1つのFPGAチップの内部に収納する必要がある。しかし、論理回路を収容するだけのリソースが残されていない場合、収容できなかった論理回路は別のFPGAチップ内に収容されることになる。したがって、個々のFPGAチップにおける論理回路の収容効率さはさらに低下し、全ての機能を實現するために必要とされるFPGAチップの数は増大する。また、複数のFPGAチップを同時に動作させた場合、消費電力・発熱等の問題も生じる。

【0008】さらに、FPGAを含む従来のプログラマブル論理素子を使用した演算処理の特徴は、高速動作が可能である点、全ての機能を空間的に実現することにより論理回路の並列動作が可能となる点である。しかし、実際の演算処理では、全ての論理回路が同時に動作することではなく、通常は一部の論理回路のみが実効的な処理を行っている場合が多い。すなわち、各機能を担当する論理回路は、タイミング、条件、あるいは入力信号等に応じて各々単独あるいは複数のアクティブ状態となり処理を行う。このように、プログラマブル論理素子により実現される回路は機能的にも時間的にも独立である場合が多い。したがって、最初から全ての機能をプログラマブル論理素子によって形成する従来の回路構成方法は、面積的に無駄が多いという問題があった。

【0009】本発明は、上述する問題点を鑑みてなされたもので、大規模な論理回路を1チップに効率良く収容することが可能なプログラマブルゲートアレイを提供することを目的とする。

【0010】

【課題を解決するための手段】請求項1記載のプログラマブルゲートアレイは、回路を実現する論理実現用リソースと、m種類の回路プログラムを保存するm個の独立

なプログラム用メモリから構成されるメモリプレーンと、演算結果の保存および順序回路の実現のためのラッチを与えるnセットの独立なレジスタから構成されるレジスタプレーンと、前記m個のプログラム用メモリと前記nセットのレジスタの組み合わせを管理し、該組み合わせで指定されるメモリとレジスタを選択して、前記メモリの内容を前記論理実現用リソースにロードするとともに、前記レジスタをラッチとして割りあてよう制御するイベント管理部とを具備することを特徴としている。

【0011】請求項2記載のプログラマブルゲートアレイは、請求項1記載の発明において、前記イベント管理部が、前記メモリプレーンと、前記レジスタプレーンとをそれぞれ独立に制御可能とする機構を備えたことを特徴としている。

【0012】請求項3記載のプログラマブルゲートアレイは、請求項1または2記載の発明において、処理対象データの入力クロックをk倍に倍して、内部クロックとする手段をさらに有することを特徴としている。

【0013】請求項4記載のプログラマブルゲートアレイは、請求項3記載の発明において、前記イベント管理部は、内部クロックのうち、前記処理対象データの入力タイミングとは異なるタイミングのクロックタイミングで、前記メモリの内容を前記論理実現用リソースにロードする構成であることを特徴としている。

【0014】請求項5記載のプログラマブルゲートアレイは、デバイス製造時に作り込む回路あるいはマスクプログラマブルゲートアレイのプログラムで実現する回路等で構成される固定回路領域と、FPGA等の静的に論理回路を実現する機構を有するプログラマブルゲートアレイ領域と、動的な論理回路の変更機構を有する請求項1ないし4記載のプログラマブルゲートアレイとを組み合わせる構成であることを特徴としている。

【0015】

【作用】請求項1記載のプログラマブルゲートアレイによれば、イベント管理部からの指示によりメモリプレーンから指定された回路プログラムが共用回路実現リソースにロードされると共に、レジスタプレーンから指定されたレジスタがラッチとして回路に与えられることで所望の論理回路を実現する動的回路変更可能ゲートアレイ（以降、Dynamic Configurable Gate Array: DCGAと略す）構成を採用しているため、任意の論理回路を実現することができる。また、回路実現リソースを切り替え対象となる全ての回路で共用する機構により、1種類の回路をプログラムして固定していた場合に生じていた余剰の回路実現リソースの多くを有効に活用することができる。

【0016】さらに、回路実現リソースの多くが繰り返し利用されるため、機能実現のために実際に必要なハードウェアの絶対量を削減することができるので、プログ

ラマビリティ実現のための冗長な構造のまま、単体チップにおいても大規模な回路の収容が可能となる。また、さらに、回路プログラムのみをメモリプレーンに保存する機構により、回路の増設はメモリの増設によって実現できる。メモリは大規模集積化が可能のため多数の回路プログラムを小さな面積で実現可能であり、全ての機能を実現するために必要とされるチップ数の増加を抑えることが可能となる。また、チップ数が抑えられるため、全体の消費電力、発熱量を共に小さくすることができる。

【0017】請求項2記載のプログラマブルゲートアレイによれば、メモリプレーンとレジスタプレーンの独立制御は、メモリプレーンを固定したままレジスタプレーンを切り換えることにより、同一の論理回路に対して内部の状態のみを変化させることが可能となるため、処理内容が同一の全ての回路について、その回路プログラムの共用が可能となる。したがって、重複する演算回路の一元化が可能となり、機能実現のためのハードウェアの絶対量を抑えることが可能になる。また、レジスタプレーンを固定したままメモリプレーンを切り換えることにより、処理結果を共用して処理回路のみを変化させることが可能のため、複雑、大規模な論理演算でも小さな回路単位に分割して、小規模な論理実現用リソースで処理することができる。

【0018】請求項3記載のプログラマブルゲートアレイによれば、 k 倍クロック技術のDCGA領域への適用は、デバイス内部の処理速度を処理対象となるデータの入力速度より高めることにより、回路プログラム変更のための時間的なオーバーヘッドを得ると共に、回路全体を k 分割して k クロックかけて処理をすることにより、データのスループットを保証したまま、回路実現用リソース量の縮小とラッチによる位相調整を可能とする。

【0019】請求項4記載のプログラマブルゲートアレイによれば、イベント管理部は、内部クロックのうち処理対象データの入力タイミングとは異なるタイミングのクロックタイミングでメモリの内容を論理実現用リソースにロードする。

【0020】請求項5記載のプログラマブルゲートアレイによれば、デバイス製造時に作り込む回路あるいはマスクプログラマブルゲートアレイのプログラムで実現する回路等で構成される固定回路領域と、FPGA等の静的に論理回路を実現する機構を有するプログラマブルゲートアレイ（以降、Static Configurable Gate Array:SCGAと略す）領域と、動的な論理回路の変更機構を有するハイブリッド構成を採用しているため、処理の性質や演算の頻度、要求されるプログラマビリティの程度に応じて最適な回路実現手段を選択することにより、単一構成のデバイスに比べて所望の機能全体を高速・コンパクトに収容することが可能となる。

【0021】また、固定回路領域は、作り込みの専用固

定回路であるため、出現頻度の高い回路や、高速処理を要する処理、プログラマビリティはパラメータの変更程度で良い機能の実現に最適な領域となる。SCGA領域は、処理前に静的に回路プログラミングを行い、動作中の回路の変更をしないFPGAで構成されるため、プログラマビリティを要し、連続処理あるいは頻繁に処理を行う必要のある機能の実現に最適な領域となる。DCGA領域は、動的に回路変更を行い、必要な時にだけその処理回路を共通リソース上にプログラムするゲートアレイで構成されるため、プログラマビリティを要し、時間的な独立性の強い機能の実現に最適な領域となる。

【0022】

【実施例】以下、図面を参照して本発明の実施例について説明する。図1は、第一実施例の構成を示すブロック図である。なお、ここでは回路プログラムの種類 m を3、レジスタのセット数 n を5、またクロックの倍数 k を2とした場合、かつ、3種類の回路プログラム a 、 b 、 c のうち、回路 b プログラムには $b1$ 、 $b2$ の2つの状態、回路プログラム c には $c1$ 、 $c2$ の2つの状態があるものとし、合計5つの状態が回路プログラム a 、 $b1$ 、 $c1$ 、 $b2$ 、 $c2$ の順序で繰り返し実行される場合について説明する。

【0023】この図において、メモリプレーン3-1はワード幅を共用回路実現リソース3-3のプログラム用メモリのビット幅まで拡張したSRAMによって形成され、その容量はワード幅 $\times m$ であり、SRAMの1アドレスを1つの回路プログラムに対応づける。同様にレジスタプレーン3-2は、1ワードを1つの回路プログラムに要求される総レジスタ量として、ワード幅 $\times n$ の容量のSRAMによって形成され、1アドレスを1論理回路に対応させている。

【0024】イベント管理部3-8は、SRAMのメモリーテーブル3-9によって形成され、このテーブルにメモリプレーン3-1のアドレスとレジスタプレーン3-2のアドレスの対応関係が記述されている。また、実現回路の変更は、ポインタ3-10の移動により行われる。このポインタ3-10の指示によりメモリプレーン3-1から回路プログラムの何れかがロードされ、レジスタプレーン3-2からラッチが割り当てられると、共用回路実現リソース3-3の状態が決定されて論理回路が実現される。

【0025】メモリプレーン3-1は、複数の回路プログラムを保存し、イベント管理部3-8からの指示信号3-4により1種類の回路がセクタ3-5により選択されて共用回路実現リソース3-3にロードされる。レジスタプレーン3-2は、複数のラッチセットからなり、イベント管理部3-8からの指示信号3-6により1組のラッチがセクタ3-7により選択されて共用回路実現リソース3-3に割り当てられる。

【0026】このデバイスの内部クロックは入力データ

3-11の2倍の周波数に設定されており、プログラミングクロックと論理演算クロックに分けられている。そして、回路プログラミングは、入力データ3-11の1クロック前のプログラミングクロックにて行われる。そして、次の論理演算クロックにおいて処理対象となるデータが、共用回路実現リソース3-3上に形成された論理回路に入力されて演算が行われる。そして、以降、プログラミングクロックによる回路プログラミング、論理演算クロックによる演算が繰り返される。

【0027】次に、図2は1回目のプログラミングクロックの状態を示す図である。入力データの1クロック前にイベント管理部3-8の指示に従って、メモリブレン3-1から回路プログラムa、レジスタブレン3-2からレジスタaがそれぞれ選択され、共用回路実現リソース3-3上に回路aが実現される。また、図3は1回目の論理演算クロックの状態を示す図である。前のプログラミングクロックで決定された回路aに処理対象となるデータ信号5-1が入力され、論理演算を行う。処理結果は出力信号5-2として外部に出力されるかあるいはレジスタaに保存される。

【0028】図4は、2回目のプログラミングクロックの状態を示す図である。メモリブレン3-1から回路プログラムb、レジスタブレン3-2からレジスタb1がそれぞれ選択され、共用回路実現リソース3-3上に回路b1が構成される。また、図5は2回目の論理演算クロックの状態を示す図である。回路b1には処理対象となるデータ信号5-1が入力されて論理演算が行われる。

【0029】以下、3回目の各プログラミングクロックにおいて回路c1が構成され、続く論理演算クロックにおいて論理演算処理が行われる。4回目のプログラミングクロックにおいては回路b2が構成され、続く論理演算クロックにおいて論理演算処理が行われ、さらに5回目のプログラミングにおいては回路c2が構成され、続く論理演算クロックにおいて論理演算処理が行われる。そして、6回目では1回目と同じ処理に戻り、以降上述した5種の状態がa, b1, c1, b2, c2の順序で繰り返し実行される。

【0030】次に、図6は第二実施例の構成を示すブロック図である。図1においてチップ内に内蔵されていたメモリブレン3-1、レジスタブレン3-2、およびイベント管理部3-8をメモリブレンチップ8-1、レジスタブレンチップ8-2、およびイベント管理チップ8-4としてそれぞれ外付けする構成とする。

【0031】これによって空いた領域を使って、共用回路実現リソースチップ8-3内部のハードウェア量を拡張し、より大規模な機能の実現や高速演算が可能となると共に雑音耐性が向上する。すなわち、プログラマブル論理セルを拡張することにより1つのセルによって実現可能なゲート規模が拡大し、プログラマブル配線領域を

拡張することにより、より自由度が高くかつ遅延の小さい配線を実現することができる。また、このように各々別チップとして構成することによりシステム拡張の柔軟性を向上させることができる。

【0032】また、動的回路変更可能ゲートアレイ部の構成としては、上記の構成の他に次のような構成が実現可能である。

1) 内蔵回路：共用回路実現リソース・メモリブレン

外付回路：レジスタブレン・イベント管理部

2) 内蔵回路：共用回路実現リソース・レジスタブレン

外付回路：メモリブレン・イベント管理部

3) 内蔵回路：共用回路実現リソース・イベント管理部

外付回路：メモリブレン・レジスタブレン

4) 内蔵回路：共用回路実現リソース・イベント管理部、メモリブレン

外付回路：レジスタブレン

5) 内蔵回路：共用回路実現リソース・イベント管理部、レジスタブレン

20 外付回路：メモリブレン

【0033】次に、図7はハイブリッド構成プログラマブルデバイスの第一実施例の構成を示すブロック図である。固定回路領域9-1はデバイス製造時に予め作り込まれ、SCGA領域9-2には市販のFPGAを使用する。また、DCGA領域9-3は、図1に示した動的回路変更可能ゲートアレイの構成とする。なお、ここでは通信処理回路の一例を実現する場合について説明する。

【0034】通常、光ファイバー等の伝送媒体を用いて送られるデジタルデータは数100Mbps～数Gbpsの高速なシリアルデータとなっている。通信処理装置は、このシリアルデータをパラレルデータに変換して20MHz程度のクロックを用いて処理を行い、同時に1バイト単位で同期をとる処理を行う。このような通信処理に用いられる回路は、高速処理およびパラメータ程度のプログラマビリティが要求される。また、このような回路は、FPGAによって構成するよりも、デバイス製作時に作り込むか、あるいはゲートアレイのプログラム等の専用固定回路とした方が高速かつコンパクトに構成することができる。図7は8bitのS/P変換回路(シリアル/パラレル変換回路)9-4を固定回路領域9-1に構成している。

【0035】通信処理の分野においては、ユーザの情報を正確に伝送するために付加される各種の保守運用情報の処理が中心となる。このようなオーバーヘッドの情報ビットは、通常、その役割毎にシリアルデータ中の独立なタイムスロットにまとめられて收容されるため、各処理回路が実質的に処理を行っているタイミングは時間的にずれる。このような機能的・時間的に独立している回路は、DCGA領域9-3で実現し、回路全体のハードウェア量を削減する。

【0036】通常、通信データは、伝送上のエラーを少なくするためスクランブルがかけられる。また、ビットエラー検出／訂正のためにパリティ演算やCRC演算が行われる。このようなデータ全体を対象とする演算処理は、通信装置毎に処理方法が異なるため、固定回路として作り込むとデバイスの多様性が失われてしまう。また、正常な処理動作中は連続動作となるため、DCGA領域9-3で実現しても回路実現リソースの共用ができず、かえって回路の占有面積が大きくなる。したがって、このような回路は、従来のFPGAすなわちSCGA領域9-2を利用してコンパクトに構成した方がよい。この場合、イベント管理部9-5は、DCGA領域9-3に実現される回路の切り替え制御だけでなく、固定回路領域9-1やSCGA領域9-2に構成される固定回路のパラメータの設定や処理の実行／停止、処理データの受け渡し等を行う。

【0037】次に、図8は、上述したハイブリッド構成プログラマブルデバイスの第二実施例の構成を示すブロック図である。図7に示した固定回路領域9-1が省略された構成となっている。このように適用するアプリケーションによって最適な組み合わせを選択することが好ましい。

【0038】

【発明の効果】以上説明したように、本発明のプログラマブルゲートアレイは以下のような効果を奏する。

(1) 処理の機能的・時間的な独立性を利用して共用回路実現リソースにプログラムされる論理回路を動的に変更する機構を備えることにより、従来のFPGAで実現する場合に比べて無駄なく大きな規模の回路を収容することができる。

【0039】(2) 回路プログラムを保存するメモリブレンと、演算結果や回路の遷移状態を保存するレジスタブレンとをそれぞれ独立に制御可能とすることにより、重複回路の一元化や処理に必要な論理実現用のリソースの量を小さく抑えることが可能である。

【0040】(3) 機能実現に必要なハードウェア規模およびチップ数を減少させることが可能であり、全体の消費電力、発熱量を小さくすることが可能である。

【0041】(4) 固定回路、静的プログラマブルゲートアレイ、動的プログラマブルゲートアレイからなるハイブリッド構成のプログラマブルデバイスは、処理の性質や演算の頻度、要求されるプログラマビリティの程度に応じて最適な回路実現手段を選択することにより、単一構成のデバイスに比べて所望の機能全体を高速、コンパクトに収容することが可能である。

【0042】(5) チップ内部k倍クロック技術を動的回路変更可能ゲートアレイへ適用することにより、デバ

イス内部の処理速度を処理対象となるデータの入力速度よりk倍高めることができる。この場合、回路プログラム変更のための時間的なオーバーヘッドが得られると共に、回路全体をk分割し、kクロックをかけて処理を行うことにより、データのスループットを保証したまま、共用回路実現用リソースの縮小とラッチによる位相調整が可能となる。

【図面の簡単な説明】

【図1】本発明のプログラマブルゲートアレイの第一実施例の構成を示すブロック図である。

【図2】本発明のプログラマブルゲートアレイの第一実施例における1回目の回路プログラミングの方法を示す図である。

【図3】本発明のプログラマブルゲートアレイの第一実施例における1回目の論理演算の状況を示す図である。

【図4】本発明のプログラマブルゲートアレイの第一実施例における2回目の回路プログラミングの方法を示す図である。

【図5】本発明のプログラマブルゲートアレイの第一実施例における2回目の論理演算の状況を示す図である。

【図6】本発明のプログラマブルゲートアレイの第二実施例の構成を示すブロック図である。

【図7】本発明のハイブリッド構成プログラマブルデバイスの第一実施例の構成を示すブロック図である。

【図8】本発明のハイブリッド構成プログラマブルデバイスの第二実施例の構成を示すブロック図である。

【図9】従来のプログラマブル論理素子の構成を示す平面図である。

【図10】従来のプログラマブル論理セルの構成を示すブロック図である。

【符号の説明】

3-1 メモリブレン

3-2 レジスタブレン

3-3 共用回路実現リソース

3-5、3-7 セレクタ

3-8、9-5 イベント管理部

3-9 メモリテーブル

3-10 ポインタ

8-1 メモリブレンチップ

8-2 レジスタブレンチップ

8-3 共用回路実現リソースチップ

8-4 イベント管理チップ

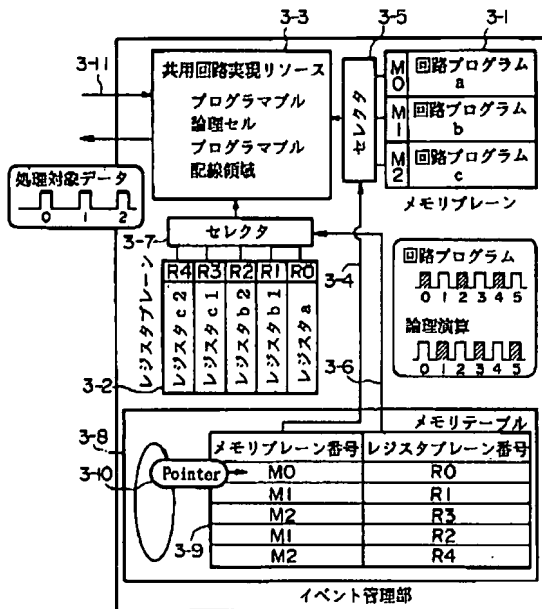
9-1 固定回路領域

9-2 SCGA領域

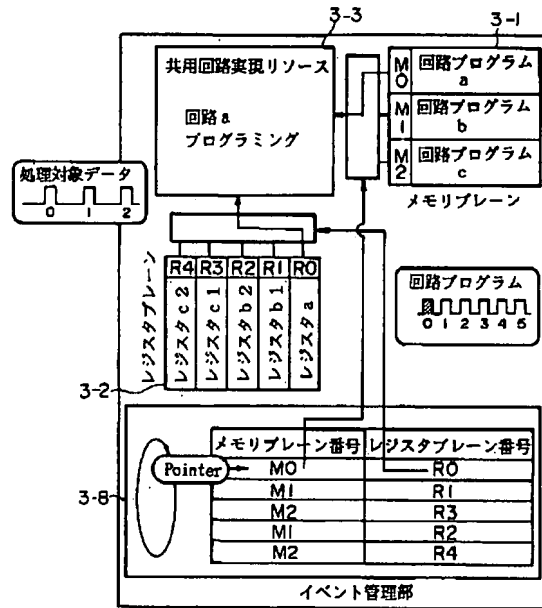
9-3 DCGA領域

9-4 S/P変換回路

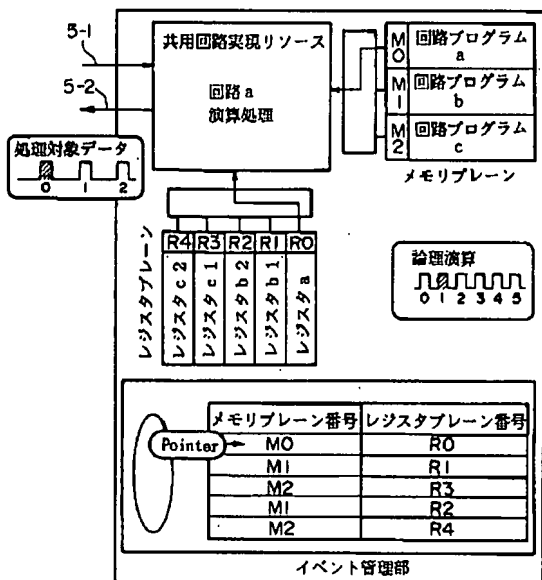
【図1】



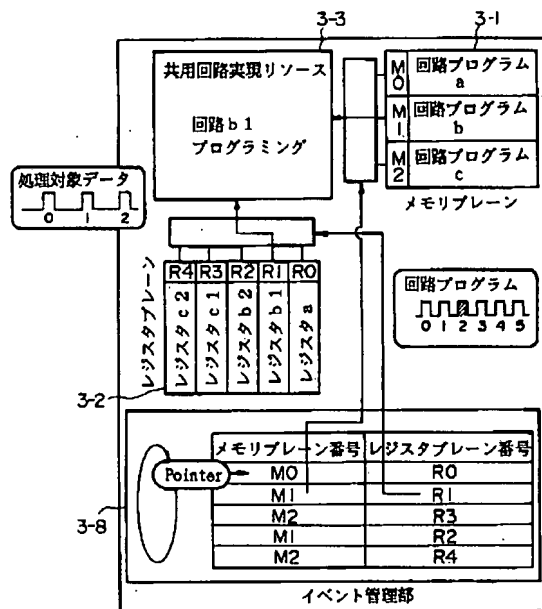
【図2】



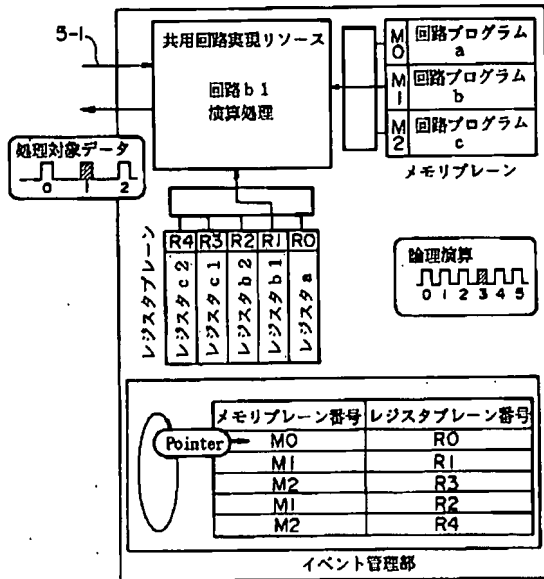
【図3】



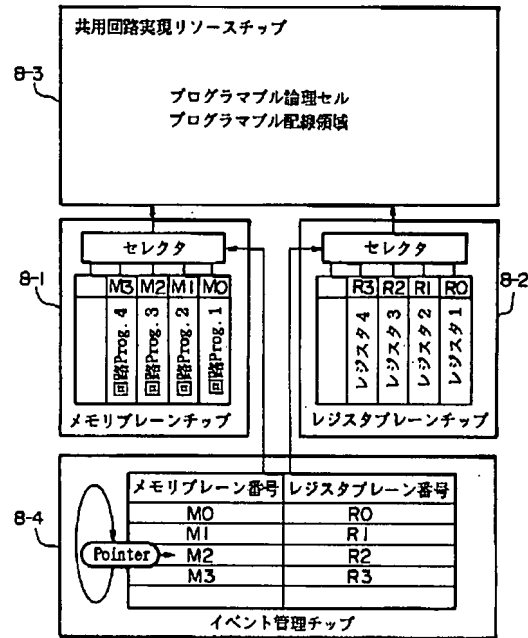
【図4】



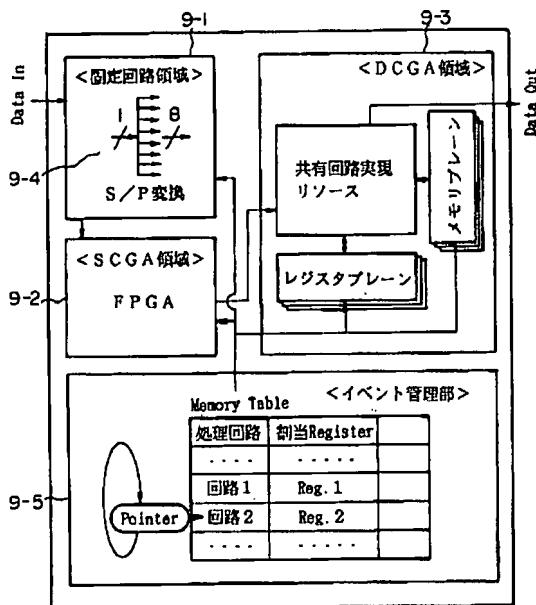
【図5】



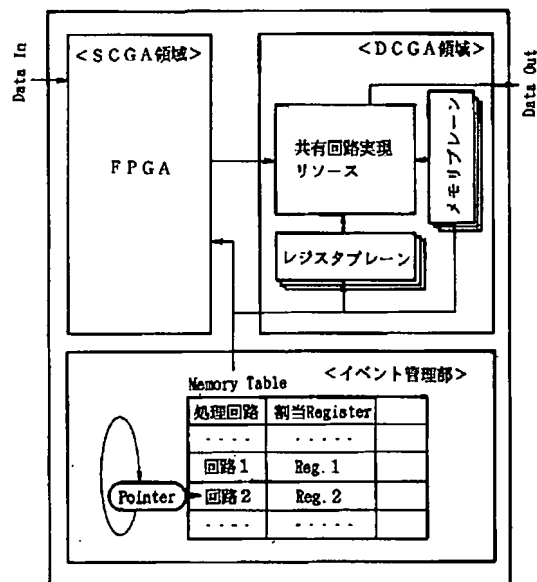
【図6】



【図7】

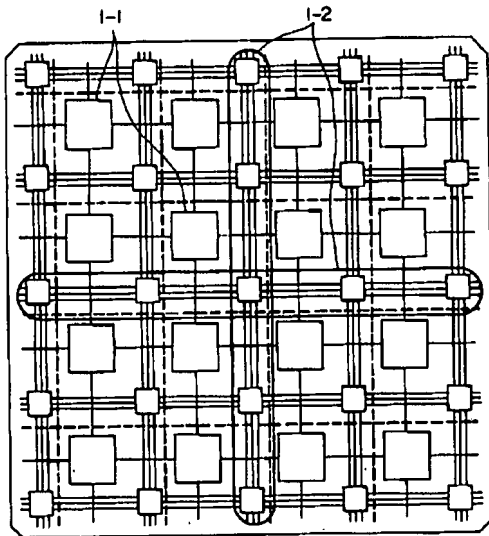


【図8】



【図9】

プログラマブル論理素子の構成



【図10】

プログラマブル論理セルの構成

